



19 BUNDESREPUBLIK
DEUTSCHLAND



DEUTSCHES
PATENT- UND
MARKENAMT

12 Offenlegungsschrift
10 DE 199 00 859 A 1

51 Int. Cl.⁶:
H 03 K 19/0948
H 03 K 19/003

21 Aktenzeichen: 199 00 859.0
22 Anmeldetag: 12. 1. 99
43 Offenlegungstag: 15. 7. 99

DE 199 00 859 A 1

30 Unionspriorität:
734/98 13. 01. 98 KR

71 Anmelder:
LG Semicon Co., Ltd., Cheongju, KR

7A Vertreter:
TER MEER STEINMEISTER & Partner GbR
Patentanwälte, 81679 München

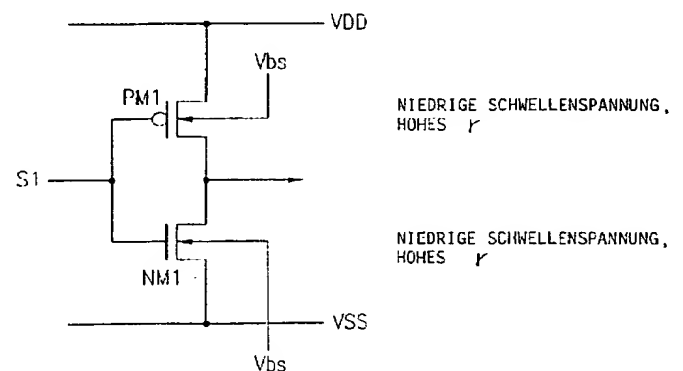
72 Erfinder:
Kang, Dae Gwan, Cheongju, KR

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

Prüfungsantrag gem. § 44 PatG ist gestellt

54 CMOS-Schaltung geringer Leistung

57 Es wird eine CMOS Schaltung mit CMOS-Bauteilen mit minimalem Energieverbrauch in einem Bereitschaftszustandsmodus angegeben. Diese Schaltung ist mit Folgendem versehen: CMOS-Bauteilen, wozu PMOS-Transistoren (PM), deren Drains mit einer Versorgungsspannung verbunden sind, und NMOS-Transistoren (NM) gehören, deren Sources mit einer Massespannung verbunden sind, wobei sowohl die PMOS-Transistoren als auch die NMOS-Transistoren so angeordnet sind, daß in einem Bereitschaftszustandsmodus eine sperrende Vorspannung an sie angelegt ist; wobei die PMOS-Transistoren und die NMOS-Transistoren große Gammafaktoren aufweisen.



DE 199 00 859 A 1

Beschreibung

Die Erfindung betrifft eine CMOS-Schaltung, die mit geringer Leistung betreibbar ist und insbesondere in einem Bereitschaftszustand geringen Energieverbrauch aufweist.

Es entspricht dem aktuellen Trend, daß Bauteile verkleinert werden, um ihre Arbeitsgeschwindigkeit zu erhöhen, andere Funktionen zu verbessern und niedrige Leistung zu erzielen, was insbesondere bei tragbaren Systemen erforderlich ist, die batteriebetrieben arbeiten. Angesichts der Wärmezeugung ist verringerte Leistung selbst bei Großcomputern zunehmend wichtig, bei denen bisher das Funktionsvermögen als wichtigste Eigenschaft angesehen wurde.

Die Gateverzögerung (τ_{pd}) eines Inverters kann durch die folgende Gleichung (1) angegeben werden:

$$\tau_{pd} = C_L \cdot V_{dd} / 2I_{on}$$

Dabei bezeichnet C_L eine Lastkapazität, V_{dd} bezeichnet die Versorgungsspannung und I_{on} bezeichnet den Sättigungsstrom eines MOSFET.

Die Systemleistung kann durch die nachfolgende Gleichung (2) ausgedrückt werden:

$$a \cdot f \cdot C_L \cdot V_{dd}^2 + I_{off} \cdot V_{dd} + I_{sc} \cdot f \cdot V_{da}$$

Dabei repräsentiert der Term " $a \cdot f \cdot C_L \cdot V_{dd}^2$ " die aktive Leistung, in dem a einen Aktivitätsfaktor und f die Taktfrequenz repräsentieren. Der Term " $I_{off} \cdot V_{dd}$ " repräsentiert die durch den Strom I_{off} erzeugte Leistung im Bereitschaftszustand. Der letzte Term " $I_{sc} \cdot f \cdot V_{da}$ " repräsentiert die aus einem Kurzschlußstrom herrührende Leistung, wie er fließt, wenn ein PMOS und ein NMOS in einem Invertergatter gleichzeitig eingeschaltet werden, wobei dieser Term vernachlässigbar ist, wenn V_{dd} niedrig ist. Wie es aus der Gleichung (2) ersichtlich ist, ist ein Absenken der Versorgungsspannung V_{dd} die wirkungsvollste Art zum Verringern der Leistung. Jedoch bewirkt ein Absenken der Versorgungsspannung zum Verringern der Leistung eine Geschwindigkeitsherabsetzung, was zu verringerter Schwellenspannung zum Kompensieren der Geschwindigkeitsherabsetzung führt, wodurch sich wiederum eine erhöhte Leistung im Bereitschaftszustand ergibt, die von einem erhöhten Leckstrom unterhalb der Schwelle herrührt. Um diese Leistung im Bereitschaftszustand zu verringern, kann entweder die Bauteil-Herstellertechnik oder die Schaltungstechnik verbessert werden, wobei eine den Strom unterhalb der Schwelle herabsetzende Schaltung oder eine MTCMOS-Schaltung oder eine Wannenvorspannungsschaltung verwendet werden kann.

Nun wird unter Bezugnahme auf die Fig. 1 und 2 eine bekannte CMOS-Schaltung erläutert.

Gemäß Fig. 1 ist eine bekannte MTCMOS (Multi Threshold CMOS = CMOS mit mehreren Schwellenwerten)-Schaltung mit Transistoren mit hohen Schwellenspannungen und Transistoren mit niedrigen Schwellenspannungen versehen. Die hohe Schwellenspannung ist eine absolute Schwellenspannung mit einem Wert von 0,5 V oder höher, und die niedrige Schwellenspannung ist eine absolute Schwellenspannung von 0,4 V oder weniger. Wenn eine Schwellenspannungsdifferenz über 0,1 V existiert, kann die höhere als hohe Schwellenspannung und die niedrigere als niedrige Schwellenspannung bezeichnet werden. In Transistoren mit hoher Schwellenspannung existieren ein erster PMOS-Transistor PM1 und ein erster NMOS-Transistor NM1. An einen Anschluß des ersten PMOS-Transistors PM1 ist eine Versorgungsspannung VDD angelegt, der andere Anschluß ist mit einer virtuellen Versorgungsspannung

VDDV verbunden, und der Gateanschluß erhält ein Bereitschaftszustandssignal S1. Ein Anschluß des NMOS-Transistors NM1 ist mit der Massespannung verbunden, der andere Anschluß mit einer virtuellen Massespannung GNDV verbunden, und der Gateanschluß erhält das invertierte Bereitschaftszustandssignal S2. Die Transistoren mit niedrigen Schwellenspannungen sind zwischen der Leitung mit der virtuellen Versorgungsspannung VDDV und der Leitung mit der virtuellen Massespannung GNDV vorhanden. In den Transistoren mit niedrigen Schwellenspannungen existieren zweite und dritte PMOS-Transistoren PM2 und PM3, deren einer Anschluß jeweils gemeinsam mit der Leitung für die virtuelle Versorgungsspannung verbunden ist, mit einer Parallelschaltung, um voneinander verschiedene Signale S4, S5 zu empfangen. Außerdem sind ein zweiter und ein dritter NMOS-Transistor NM2 und NM3 in Reihe zwischen die anderen Anschlüsse, die gemeinsam mit dem zweiten und dritten PMOS-Transistor PM2 und PM3 verbunden sind, und die Leitung mit der virtuellen Massespannung verbunden, um voneinander verschiedene Signale S4, S5 zu empfangen.

Wenn in einem Betriebsmodus der MTCMOS-Schaltung ein Bereitschaftszustandssignal S1 auf "Niedrig" sowie ein invertiertes Bereitschaftszustandssignal S2 auf "Hoch" empfangen werden, werden der erste PMOS-Transistor PM1 und der erste NMOS-Transistor NM1 eingeschaltet, was bewirkt, daß die Leitung mit der virtuellen Versorgungsspannung und die Leitung mit der virtuellen Massespannung als tatsächliche Versorgungsspannungsleitungen arbeiten, wobei der Schaltungswiderstand verringert ist. Im Gegensatz hierzu sind in einem Bereitschaftszustandsmodus, wenn ein Bereitschaftszustandssignal S1 auf "Hoch" und ein invertiertes Bereitschaftszustandssignal S2 auf "Niedrig" empfangen werden, der erste PMOS-Transistor PM1 mit hoher Schwellenspannung und der erste NMOS-Transistor NM1 mit hoher Schwellenspannung abgeschaltet, was bewirkt, daß die Leitung VDDV mit der virtuellen Versorgungsspannung und die Leitung GNDV mit der virtuellen Massespannung potentialungebunden sind, wodurch sie durch die Versorgungsspannung und die Massespannung betrieben werden, ohne daß ein Leckstrom fließt. Die Betriebsgeschwindigkeit der MTCMOS-Schaltung und der Energieverbrauch im Bereitschaftszustandsmodus derselben hängen von den Breiten und den Ansteuerungsleistungen des ersten PMOS-Transistors PM1 und des ersten NMOS-Transistors NM1 ab.

Gemäß Fig. 2 ist eine Wannenvorspannungsschaltung mit Transistoren niedriger Schwellenspannung versehen, zu denen ein vierter PMOS-Transistor PM4 und ein vierter NMOS-Transistor NM4 gehören, die in Reihe zwischen eine Versorgungsspannung VDD und eine Massespannung VSS geschaltet sind und so ausgebildet sind, daß sie auf dasselbe Signal S3 reagieren, wobei beide eine Wanne aufweisen, die so ausgebildet ist, daß sie in einem Bereitschaftszustandsmodus eine sperrende Vorspannung V_{bs} empfangen. In dieser Wannenvorspannungsschaltung wird in einem Bereitschaftszustandsmodus eine Wannenvorspannung an die Wannen gelegt, um die Schwellenspannung zu erhöhen, was die Leistung im Bereitschaftszustand herabsetzt.

Bei diesen bekannten CMOS-Schaltungen niedriger Leistung bestehen die folgenden Probleme:

- Erstens ist im Fall einer MTCMOS-Schaltung die Chipfläche erhöht und im Bereitschaftszustandsmodus können keine Daten aufrechterhalten werden, da bei einer solchen Schaltung der erste und der zweite PMOS-Transistor hohe Schwellenspannungen zeigen und der Weg für Betriebssignale kompliziert ist.
- Zweitens besteht bei einer Wannenvorspannungs-

schaltung eine Begrenzung hinsichtlich einer Verringerung des Energieverbrauchs im Bereitschaftszustandsmodus, da der vierte NMOS-Transistor selbst dann eine Erhöhung der Schwellenspannung um 0,1 V aufweist, wenn an ihn eine sperrende Vorspannung von -2 V angelegt wird, und zwar aufgrund eines kleinen Gammafaktors, also eines Koeffizienten, der den Anstieg der Schwellenspannung beim Anlegen einer sperrenden Vorspannung in einem Bauteil mit kurzem Kanal repräsentiert.

Der Erfindung liegt die Aufgabe zugrunde, eine PMOS-Schaltung zu schaffen, die im Bereitschaftszustandsmodus minimierten Energieverbrauch zeigt.

Diese Aufgabe ist durch die CMOS-Schaltung gemäß dem beigefügten Anspruch 1 gelöst.

Zusätzliche Vorteile, Aufgaben und andere Merkmale der Erfindung werden teilweise in der folgenden Beschreibung dargelegt, und teilweise werden sie dem Fachmann bei der Untersuchung des Folgenden oder beim Ausüben der Erfindung erkennbar. Die Aufgaben und Vorteile der Erfindung werden speziell durch die Maßnahmen erzielt, wie sie in den beigefügten Ansprüchen dargelegt sind.

Die Erfindung wird aus der nachfolgenden detaillierten Beschreibung und den beigefügten Zeichnungen, die nur zur Veranschaulichung dienen und demgemäß für die Erfindung nicht beschränkend sind, vollständiger zu verstehen sein.

Fig. 1 veranschaulicht ein System einer bekannten MTCMOS-Schaltung;

Fig. 2 veranschaulicht ein System einer bekannten Wannenvorspannungsschaltung;

Fig. 3 veranschaulicht ein System einer CMOS-Inverterschaltung, bei dem die Erfindung angewandt ist;

Fig. 4 veranschaulicht ein System einer NAND-Schaltung, bei dem die Erfindung angewandt ist;

Fig. 5 veranschaulicht ein System einer NOR-Schaltung, bei dem die Erfindung angewandt ist; und

Fig. 6 veranschaulicht ein System einer MTCMOS-Schaltung, bei dem die Erfindung angewandt ist.

Bei der Erfindung sind Transistoren mit verschiedenen Gammafaktoren γ dazu verwendet, Schwellenspannungen zu erhalten, die einander gleich sind, wenn keine sperrende Vorspannung anliegt, und um voneinander verschiedene Schwellenspannungen zu erhalten, oder die gegenüber dem vorigen Zustand erhöht sind, wenn eine sperrende Vorspannung anliegt. Der Gamma(γ)-faktor bezeichnet das Ausmaß der Änderung der Schwellenspannung V_{th} abhängig von einer an ein Substrat angelegten sperrenden Vorspannung V_{bs} , wobei folgendes gilt.

Erstens kann die Schwellenspannung eines Transistors mit langem Kanal wie folgt ausgedrückt werden:

$$V_{th} = V_{fb} + 2\phi_f + (1/Cox) \sqrt{2\epsilon_s q N_a (2\phi_f + V_{bs})}$$

$$\gamma = \sqrt{2q\epsilon_s N_a} / Cox$$

Dabei bezeichnet V_{fb} die Spannung eines flachen Bands; ϕ_f bezeichnet das Fermi-niveau, ϵ_s bezeichnet die Dielektrizitätskonstante des Halbleiters, Cox bezeichnet die Gatekapazität; N_a bezeichnet die Dotierungskonzentration; q bezeichnet eine elektronische Ladung und V_{bs} bezeichnet eine sperrende Vorspannung. Der Gammafaktor wird als Hoch bezeichnet, wenn der Wert 0,5 oder höher ist und er wird als Niedrig bezeichnet, wenn der Wert 0,3 oder niedriger ist.

Nun werden unter Bezugnahme auf die beigefügten Zeichnungen verschiedene Schaltungen erläutert, bei denen der Gegenstand der Erfindung angewandt ist. Die CMOS-Inverterschaltung gemäß **Fig. 3** enthält einen PMOS-Transi-

stor PM1 und einen ersten NMOS-Transistor NM1, die in Reihe zwischen eine Versorgungsspannung VDD und eine Massespannung VSS geschaltet sind. Beide Transistoren sind so ausgebildet, daß sie einen hohen Gammafaktor und niedrige Schwellenspannung aufweisen, wenn eine sperrende Vorspannung V_{bs} an ihre Wanne gelegt ist.

Die NAND-Schaltung gemäß **Fig. 4** enthält einen zweiten und einen dritten PMOS-Transistor PM2 und PM3 sowie einen zweiten und einen dritten NMOS-Transistor NM2 und NM3, die in Reihe zwischen eine Versorgungsspannung VDD und eine Massespannung VSS geschaltet sind. Die einen Anschlüsse des zweiten und dritten PMOS-Transistors sind gemeinsam mit der Versorgungsspannung verbunden, und die anderen Anschlüsse sind gemeinsam mit dem zweiten NMOS-Transistor NM2 verbunden. Der andere Anschluß dieses zweiten NMOS-Transistors NM2 ist mit dem dritten NMOS-Transistor NM3 verbunden, dessen anderer Anschluß mit der Massespannung verbunden ist. Der zweite PMOS-Transistor und der zweite NMOS-Transistor sind so ausgebildet, daß sie auf dasselbe Signal S2 hin arbeiten, und der dritte PMOS-Transistor und der dritte NMOS-Transistor sind so ausgebildet, daß sie auf dasselbe Signal S3 hin arbeiten. In einem Bereitschaftszustandsmodus zeigen alle Transistoren in der NAND-Schaltung niedrige Schwellenspannungen, wenn an die jeweiligen Wannen eine sperrende Vorspannung V_{bs} angelegt wird. Der zweite und dritte PMOS-Transistor PM2 und PM3, die beide mit der Versorgungsspannung verbunden sind, sowie der zweite NMOS-Transistor NM3, der mit der Massespannung verbunden ist, sind so ausgebildet, daß sie jeweils hohen Gammafaktor aufweisen. Dagegen weist der zweite NMOS-Transistor einen niedrigen Gammafaktor auf.

Bei der in **Fig. 5** dargestellten NOR-Schaltung existieren ein vierter und ein fünfter PMOS-Transistor PM4 und PM5 sowie ein vierter und fünfter NMOS-Transistor NM4 und NM5, die zwischen eine Versorgungsspannung und eine Massespannung geschaltet sind. Ein Anschluß des vierten PMOS-Transistors ist mit der Versorgungsspannung verbunden, während ein anderer Anschluß mit dem fünften PMOS-Transistor verbunden ist. Der vierte und der fünfte NMOS-Transistor sind parallel zwischen den anderen Anschluß des fünften PMOS-Transistors und die Massespannung geschaltet. Der vierte PMOS-Transistor und der vierte NMOS-Transistor sind so ausgebildet, daß sie auf dasselbe Signal S4 hin arbeiten, und der fünfte PMOS-Transistor und der fünfte NMOS-Transistor sind so ausgebildet, daß sie auf dasselbe Signal S5 hin arbeiten. Alle Transistoren in der NOR-Schaltung sind so ausgebildet, daß sie jeweils niedrige Schwellenspannung aufweisen, und der vierte, mit der Versorgungsspannung verbundene PMOS-Transistor sowie der vierte und fünfte NMOS-Transistor, die beide mit der Massespannung verbunden sind, sind so ausgebildet, daß sie jeweils nicht nur niedrige Schwellenspannung, sondern auch einen hohen Gammafaktor aufweisen. Nur der fünfte PMOS-Transistor PM5 ist mit niedrigem Gammafaktor ausgebildet.

Die MTCMOS-Schaltung gemäß **Fig. 6** enthält Transistoren mit hoher Schwellenspannung sowie solche mit niedriger Schwellenspannung. Als Transistoren mit hoher Schwellenspannung existieren ein sechster PMOS-Transistor PM6 und ein sechster NMOS-Transistor NM6. Ein Anschluß des sechsten PMOS-Transistors PM6 ist mit der Versorgungsspannung VDD verbunden, sein anderer Anschluß ist mit einer Leitung VDDV für eine virtuelle Versorgungsspannung verbunden, und sein Gateanschluß ist so ausgebildet, daß er ein Bereitschaftszustandssignal S6 erhält. Ein Anschluß des sechsten NMOS-Transistors NM6 ist mit der Massespannung verbunden, sein anderer Anschluß ist mit

der Leitung GNDV für die virtuelle Massespannung verbunden, und sein Gateanschluß ist mit dem invertierten Bereitschaftszustandssignal S7 verbunden. Die Transistoren mit niedriger Schwellenspannung sind zwischen der Leitung VDDV mit der virtuellen Versorgungsspannung und der Leitung GNDV mit der virtuellen Massespannung vorhanden. Hinsichtlich der Transistoren mit niedriger Schwellenspannung ist jeweils ein Anschluß des siebten und achten PMOS-Transistors PM7 und PM8 gemeinsam mit der Leitung mit der virtuellen Versorgungsspannung verbunden, und sie sind parallel angeschlossen, um auf voneinander verschiedene Signale S8, S9 zu reagieren, und zwischen den gemeinsamen Anschluß der anderen Anschlüsse des siebten und achten PMOS-Transistors PM7 und PM8 sowie der Leitung mit der virtuellen Massespannung sind der siebte und achte NMOS-Transistor NM7 und NM8 vorhanden, die auf voneinander verschiedene Signale S8, S9 arbeiten. Die MTCMOS-Schaltung ist so ausgebildet, daß sie dadurch in einem Bereitschaftszustandsmodus einen hohen Gammafaktor aufweist, daß eine sperrende Vorspannung Vbs an den sechsten PMOS-Transistor PM6 und den sechsten NMOS-Transistor NM6 gelegt wird, die beide hohe Schwellenspannung aufweisen. Nur der siebte und achte PMOS-Transistor sowie der siebte und achte NMOS-Transistor weisen niedrige Schwellenspannung auf.

Transistoren verschiedener Gammafaktoren können dadurch erhalten werden, daß bei der Herstellung eines Transistors Halo-Ionen injiziert werden, wenn ein Transistor mit kleinem Gammafaktor erwünscht ist, und daß Durchschläge verhindernde Ionen injiziert werden, wenn ein Transistor mit großem Gammafaktor erwünscht ist.

Nun wird die Funktion der oben genannten Schaltungen erläutert.

Im Betriebsmodus wird jeder der Transistoren umso früher eingeschaltet, je niedriger die Schwellenspannung ist, was es ermöglicht, daß die Schaltung schneller arbeitet. Wenn dabei die Schwellenspannungen durch eine sperrende Vorspannung erhöht werden, haben die Transistoren mit niedrigen Gammafaktoren keinen großen Einfluß auf den Betrieb. Die Transistoren mit hohem Gammafaktor werden durch die sperrende Vorspannung nicht beeinflußt. Im Bereitschaftszustandsmodus zeigen, wenn eine Vorspannung an Wannen angelegt wird, Transistoren mit hohem Gammafaktor eine Erhöhung der Schwellenspannung, was zu einer Verringerung der Leistung im Bereitschaftszustand führt. Dies, da die hohen Gammafaktoren sowohl der mit der Versorgungsspannung verbundenen PMOS-Transistoren als auch der mit der Massespannung verbundenen NMOS-Transistoren verhindern, daß die Transistoren eingeschaltet werden, wenn die sperrende Vorspannung im Bereitschaftszustandsmodus angelegt wird. So ist die Leistung im Bereitschaftszustand durch die Transistoren mit großem Gammafaktor bestimmt.

Die erfindungsgemäße CMOS-Schaltung niedriger Leistung weist die folgenden Vorteile auf: durch Versetzen von Transistoren mit verschiedenen Gammafaktoren abhängig von den Positionen der Transistoren in einer Schaltung kann eine Funktionsbeeinträchtigung der Schaltung durch eine sperrende Vorspannung in einen Betriebsmodus minimiert werden, während die Leistung der Schaltung im Bereitschaftszustand verringert werden kann, da die Erhöhung der Schwellenspannungen durch Anlegen der sperrenden Vorspannung im Bereitschaftszustandsmodus maximal ist, was dazu führt, daß ein minimaler Strom unterhalb der Schwelle fließt.

Patentsprüche

1. CMOS-Schaltung mit CMOS-Bauteilen, wozu PMOS-Transistoren (PM), deren Drains mit einer Versorgungsspannung verbunden sind, und NMOS-Transistoren (NM) gehören, deren Sources mit einer Massespannung verbunden sind, wobei sowohl die PMOS-Transistoren als auch die NMOS-Transistoren so angeordnet sind, daß in einem Bereitschaftszustandsmodus eine sperrende Vorspannung an sie angelegt ist; **dadurch gekennzeichnet**, daß die PMOS-Transistoren und die NMOS-Transistoren große Gammafaktoren aufweisen.
2. CMOS-Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß sie bei einer CMOS-Inverterschaltung, einer NAND-Schaltung, einer NOR-Schaltung oder einer MTCMOS-Schaltung angewandt ist.
3. CMOS-Schaltung nach Anspruch 2, dadurch gekennzeichnet, daß nur mit der Versorgungsspannung verbundene PMOS-Transistoren (PM) und mit der Massespannung verbundene NMOS-Transistoren (NM) in der MTCMOS-Schaltung hohe Schwellenspannungen aufweisen.
4. CMOS-Schaltung nach Anspruch 1, gekennzeichnet durch eine MTCMOS-Schaltung, in der die PMOS-Transistoren (PM) und die NMOS-Transistoren (NM) hohe Schwellenspannungen aufweisen.
5. CMOS-Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß ihre CMOS-Bauteile niedrige Schwellenspannungen aufweisen.
6. CMOS-Schaltung nach Anspruch 5, dadurch gekennzeichnet, daß sie bei einer CMOS-Inverterschaltung, einer NAND-Schaltung oder einer NOR-Schaltung angewandt ist.
7. CMOS-Schaltung nach Anspruch 6, dadurch gekennzeichnet, daß die CMOS-Inverterschaltung, die NAND-Schaltung oder die NOR-Schaltung mit Transistoren mit niedrigen Schwellenspannungen versehen sind.

Hierzu 4 Seite(n) Zeichnungen

FIG. 1

STAND DER TECHNIK

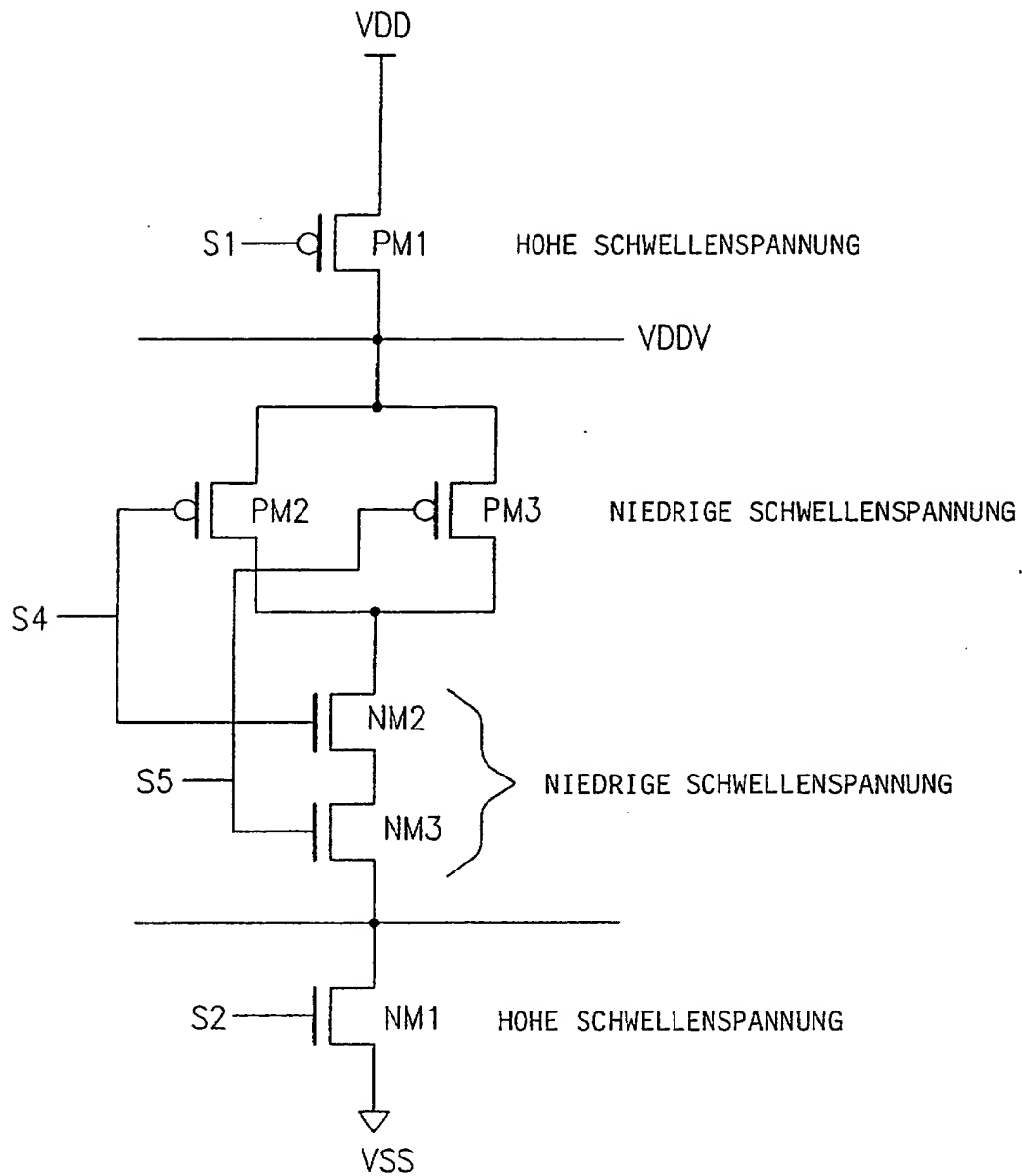
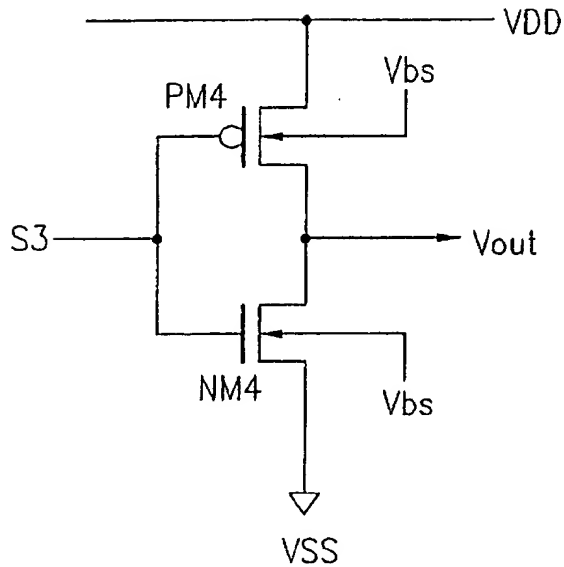


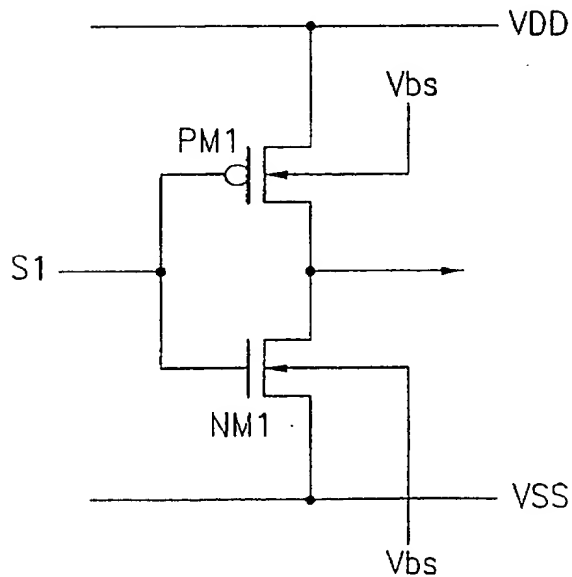
FIG. 2

STAND DER TECHNIK



NIEDRIGE SCHWELLENSPANNUNG,
NIEDRIGES r

FIG. 3



NIEDRIGE SCHWELLENSPANNUNG,
HOHES r

NIEDRIGE SCHWELLENSPANNUNG,
HOHES r

FIG. 4

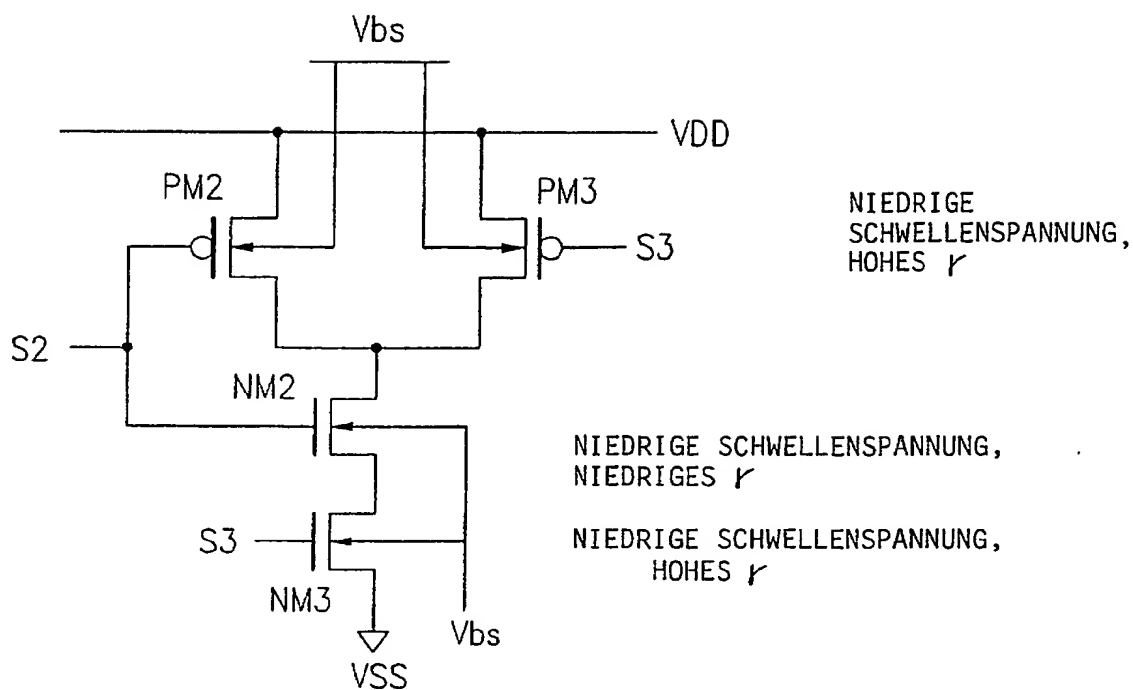


FIG. 5

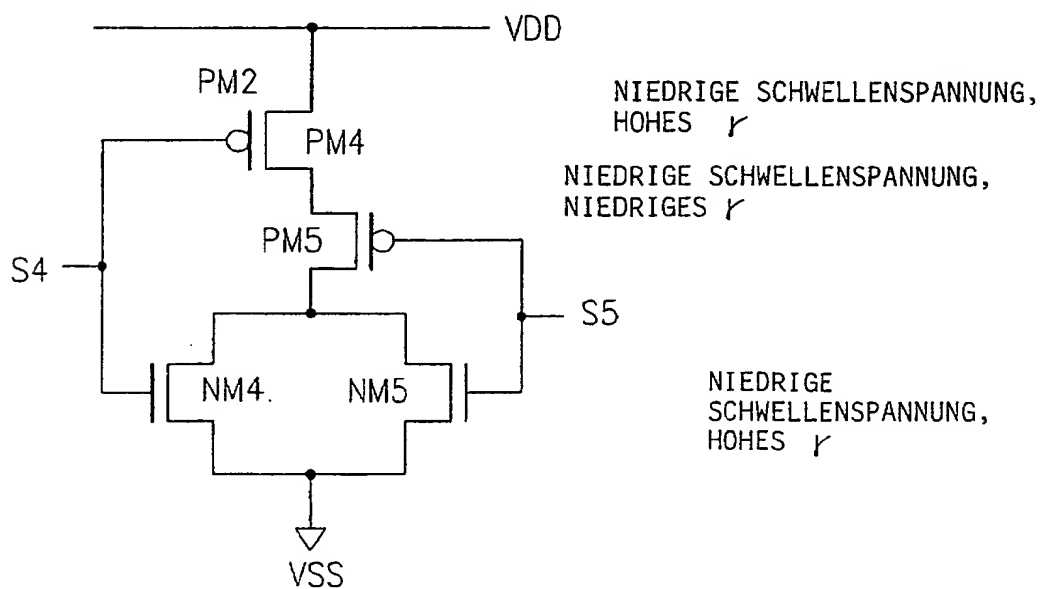


FIG. 6

